

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

T. OHASHI et al.

Atty. Docket No. 107156-00195

Serial No.: New application

Examiner: Not Assigned

Filed: July 24, 2003

Art Unit: Not Assigned

For: DIGITAL-TO-ANALOG CONVERTER

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

July 24, 2003

Sir:

The benefit of the filing dates of the following prior foreign applications in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

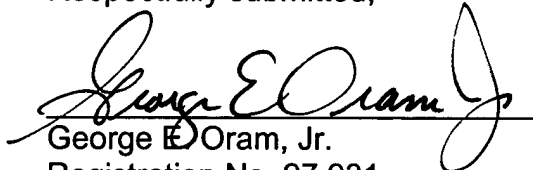
Japanese Patent Application No. 2002-216959 filed on July 25, 2002

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,


George E. Oram, Jr.
Registration No. 27,931

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W., Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
GEO/bgk

(translation)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this office.

Date of application: July 25, 2002

Application Number: Japanese Patent Application
No. 2002-216959

[ST.10/C] : [JP2002-216959]

Applicant(s): Pioneer Corporation

Date of this certificate: January 10, 2003

Commissioner,
Japan Patent Office

Shinichiro OTA

Certificate No. 2002-3104925

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月25日

出願番号

Application Number:

特願2002-216959

[ST.10/C]:

[JP2002-216959]

出願人

Applicant(s):

パイオニア株式会社

2003年 1月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2002-3104925

【書類名】 特許願

【整理番号】 56P0647

【提出日】 平成14年 7月25日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/00

【発明者】

 【住所又は居所】 埼玉県川越市山田字西町 2 5 番地 1 パイオニア株式会
社 川越工場内

 【氏名】 大橋 徹

【発明者】

 【住所又は居所】 埼玉県川越市山田字西町 2 5 番地 1 パイオニア株式会
社 川越工場内

 【氏名】 山本 雄治

【特許出願人】

 【識別番号】 000005016

 【氏名又は名称】 パイオニア株式会社

【代理人】

 【識別番号】 100063565

 【弁理士】

 【氏名又は名称】 小橋 信淳

【選任した代理人】

 【識別番号】 100118898

 【弁理士】

 【氏名又は名称】 小橋 立昌

【手数料の表示】

 【予納台帳番号】 011659

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタルアナログ変換器

【特許請求の範囲】

【請求項 1】 デジタル信号をアナログ信号に変換するデジタルアナログ変換器であって、

前記デジタル信号に対しデルタシグマ変調を施すことで符号列を生成する変調器と、

前記符号列に対しローパスフィルタリングを行う 1 次の減衰特性を有する第 1 のポストフィルタと、

前記第 1 のポストフィルタより出力される信号に対しローパスフィルタリングを行うことで前記アナログ信号を出力する 1 次の減衰特性を有する第 2 のポストフィルタとを備え、

前記第 1, 第 2 のポストフィルタの前記夫々の減衰特性の一部が同じ周波数域を有することを特徴とするデジタルアナログ変換器。

【請求項 2】 前記第 1 のポストフィルタのカットオフ周波数は、前記第 2 のポストフィルタのカットオフ周波数と減衰量が最大となるときの最大周波数との周波数範囲内に設定されていることを特徴とする請求項 1 に記載のデジタルアナログ変換器。

【請求項 3】 前記第 1 のポストフィルタのカットオフ周波数は、20 kHz 乃至 30 kHz の周波数範囲内に設定され、前記第 2 のポストフィルタのカットオフ周波数は、2 kHz 乃至 3 kHz の周波数範囲内に設定されることを特徴とする請求項 2 に記載のデジタルアナログ変換器。

【請求項 4】 前記第 1, 第 2 のポストフィルタは、抵抗と容量素子で形成された 1 次のアナログローパスフィルタであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のデジタルアナログ変換器。

【請求項 5】 前記第 1 のポストフィルタを構成する前記抵抗が前記変調器の出力に接続され、前記変調器と共に半導体集積回路装置として形成されていることを特徴とする請求項 4 に記載のデジタルアナログ変換器。

【請求項 6】 更に、前記第 2 のポストフィルタの後段に、前記第 2 のポス

トフィルタより出力される前記アナログ信号をインピーダンス変換して出力するインピーダンス変換器が接続されていることを特徴とする請求項 1 に記載のデジタルアナログ変換器。

【請求項 7】 更に、前記インピーダンス変換器より出力されるアナログ信号を電圧分割して出力する分圧抵抗を備えることを特徴とする請求項 6 に記載のデジタルアナログ変換器。

【請求項 8】 前記半導体集積回路装置は、前記変調器の前段に設けられた FM 受信部を備えることを特徴とする請求項 5 に記載のデジタルアナログ変換器。

【請求項 9】 前記 FM 受信部が、受信信号から検波信号を生成するための、RF アンプ、周波数変換器、A/D 変換器、周波数弁別器、マトリクス回路を備えることを特徴とする請求項 8 に記載のデジタルアナログ変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルアナログ変換器に関するものである。

【0002】

【従来の技術】

近年、デジタル技術とアナログ技術とを融合させたいわゆる技術のハイブリッド化が図られるようになった。

【0003】

一例として、放送局から送られてくる放送を受信するスーパーヘテロダイン方式のラジオ受信機について例示すれば、周波数変換器でダウンコンバート等された中間周波信号（IF 信号）をデジタル信号に変換し、そのデジタル信号に対する雑音の除去（ノイズリダクション）や、周波数弁別、ディエンファシス、アッテネーティング等の処理をデジタル信号処理によって行い、最終的にアナログ信号に戻してスピーカ等へ供給することが行われている。

【0004】

また、高度な機能を備えたデジタル回路とアナログ回路とを 1 つの半導体集積

回路装置（LSI等）で形成し、その半導体集積回路装置を利用して上述のラジオ受信機等を実現することが可能となっている。

【0005】

図1（a）は、ハイブリッド化されたスーパーヘテロダイン方式のラジオ受信機用として提案されている従来の半導体集積回路装置1の構成を示したものである。

【0006】

この半導体集積回路装置1は、アンテナ等を介して得られる受信信号 S_{in} を入力する受信部2と、ディエンファシス回路3、デジタルアッテネータ4、 $\Delta\Sigma$ 変調器（デルタシグマ変調器）6、ポストフィルタ7等が備えられている。

【0007】

ここで、受信部2は、RFアンプ及び周波数変換器等のアナログ回路と、周波数変換器で生成される中間周波信号をデジタルの信号にアナログデジタル変換するA/D変換器と、そのデジタルの信号に所定のデジタル信号処理を施すことで周波数弁別を行う周波数弁別器やマトリクス回路等を備えて構成されている。

【0008】

そして、上述の周波数弁別器やマトリクス回路等で検波され生成されたデジタル信号がディエンファシス回路3に供給されている。

【0009】

ディエンファシス回路3は、いわゆる放送局側でエンファシスされた信号をそのまま再現すると再生音が不自然となることから、上述のデジタル信号に対してディエンファシスを行う。

【0010】

例えば、ディエンファシス回路3は、図1（b）の特性図にて示すように、所定のカットオフ周波数 f_{c1} （具体的には約2～3kHz）より高い周波数域において約-6dB/octで減衰量が増加していく減衰特性G1を有する1次のデジタルローパスフィルタで構成され、この減衰特性G1によってデジタル信号に対してディエンファシスを行うようになっている。

【0011】

デジタルアッテネータ 4 は、ディエンファシス後のデジタル信号を適切なレベルに調整し、レベル調整後のデジタル信号を、次の $\Delta\Sigma$ 変調器 6 とポストフィルタ 7 とで構成されている D/A 変換器 5 に供給する。

【 0 0 1 2 】

ここで、 $\Delta\Sigma$ 変調器 6 は、デジタルアッテネータ 4 からのデジタル信号に対して、デルタシグマ変調 (Delta Sigma modulation) 或いはシグマデルタ変調 (Sigma Delta modulation: SDM) と呼ばれる変調を施す。ポストフィルタ 7 は、 $\Delta\Sigma$ 変調器 6 より出力される符号列の高域を除去することで、不要な高周波雑音等を低減したアナログの音声信号 S out を生成する。

【 0 0 1 3 】

より詳細には、ポストフィルタ 7 はスイッチトキャパシタフィルタ (Switched Capacitor Filter: SCF) で構成された高次のローパスフィルタであり、図 1 (c) に示すような所定のカットオフ周波数 f_{c2} (具体的には約 20 ~ 30 kHz) を境にして高域の減衰量が急激に増加する減衰特性 G 2 を有することにより、不要な高周波雑音等を低減した音声信号 S out を生成する。

【 0 0 1 4 】

このように、例示したラジオ受信機等においても、デジタル技術とアナログ技術とを融合させたいわゆる技術のハイブリッド化が図られるようになった。

【 0 0 1 5 】

【発明が解決しようとする課題】

ところで、デジタル技術とアナログ技術とのハイブリッド化に際し、上述の如く、 $\Delta\Sigma$ 変調器 6 とポストフィルタ 7 とを組合わせた D/A 変換器 5 が広く採用されている。

【 0 0 1 6 】

しかし、ポストフィルタ 7 がスイッチトキャパシタフィルタで構成されているため、D/A 変換器 5 の回路規模が大きくなるという問題があった。また、D/A 変換器を半導体集積回路装置で形成すると、ポストフィルタ 7 の回路規模が大ききことから、コスト高になる等の問題があった。

【 0 0 1 7 】

つまり、スイッチトキャパシタフィルタは、多数の抵抗とコンデンサを利用して、所定の時定数の下で電荷結合を行わせることで、フィルタの機能を発揮する構成となっている。このことから、特に D/A 変換器を半導体集積回路装置として形成する場合、抵抗とコンデンサを高い相対精度で形成することができるという半導体製造プロセスの特長を効果的に利用できる等の理由から、スイッチトキャパシタフィルタが用いられている。

【 0 0 1 8 】

しかし、スイッチトキャパシタフィルタは、上述の如く、多数の抵抗とコンデンサ、及び電荷結合の制御を行うための多数のスイッチング素子等を必要とするため、回路規模が大きくなるという問題があった。

【 0 0 1 9 】

また、プリアンファシスの施されているデジタル信号を D/A 変換するような場合、 $\Delta\Sigma$ 変調器 6 の後段側に従属接続される上述のポストフィルタ（スイッチトキャパシタフィルタ）7 の他に、 $\Delta\Sigma$ 変調器 6 の前段側にディエンファシス回路（デジタルローパスフィルタ）3 が別途設けられており、回路規模が更に大きくなる等の問題があった。

【 0 0 2 0 】

本発明は、このような上記例示した従来技術の課題に鑑みてなされたものであり、新規な構成を有する D/A 変換器を提供することを目的とする。

【 0 0 2 1 】

【課題を解決するための手段】

請求項 1 に記載のデジタルアナログ変換器は、デジタル信号をアナログ信号に変換するデジタルアナログ変換器であって、前記デジタル信号に対しデルタシグマ変調を施すことで符号列を生成する変調器と、前記符号列に対しローパスフィルタリングを行う 1 次の減衰特性を有する第 1 のポストフィルタと、前記第 1 のポストフィルタより出力される信号に対しローパスフィルタリングを行うことで前記アナログ信号を出力する 1 次の減衰特性を有する第 2 のポストフィルタとを備え、前記第 1、第 2 のポストフィルタの前記夫々の減衰特性の一部が同じ周波数域を有することを特徴とする。

【 0 0 2 2 】

【発明の実施の形態】

本発明の好適な実施の形態を図 2 を参照して説明する。なお、図 2 (a) は本実施形態の D / A 変換器の構成を示すブロック図、図 2 (b) は本 D / A 変換器の機能を説明するための図である。

【 0 0 2 3 】

図 2 (a) において、本 D / A 変換器 8 は、 D / A 変換すべきデジタル信号 S_1 に対してデルタシグマ変調を施す $\Delta \Sigma$ 変調器 9 と、 $\Delta \Sigma$ 変調器 9 より出力される符号列 S_2 をローパスフィルタリングする第 1 のポストフィルタ 1 0 と、第 1 のポストフィルタ 1 0 より出力される信号 S_3 を更にローパスフィルタリングする第 2 のポストフィルタ 1 1 とを備えて構成されている。

【 0 0 2 4 】

そして、所定の信号入力部 1 2 から、 D / A 変換すべきデジタル信号 S_1 が供給されると、上述のデルタシグマ変調とローパスフィルタリングによって D / A 変換を行い、 D / A 変換したアナログ信号 S_{out} を出力する。

【 0 0 2 5 】

ここで、上述の信号入力部 1 2 は、本 D / A 変換器 8 を使用して D / A 変換を行う様々な電子機器の仕様等に応じて設けられる。

【 0 0 2 6 】

一具体例として、例えばデジタルラジオ等と称されている FM ラジオ受信機等その他のハイブリッド化されたラジオ受信機 1 3 に本 D / A 変換器 8 を設ける場合には、到来電波からデジタルの検波信号等を生成する受信部が信号入力部 1 2 として設けられ、その受信部から出力されるデジタル信号 S_1 を D / A 変換する。

【 0 0 2 7 】

つまり、ラジオ受信機 1 3 の場合、上述の信号入力部 1 2 は、アンテナ等を介して得られる受信信号 S_{in} から検波信号等を生成するための、 R F アンプ、周波数変換器、 A / D 変換器、周波数弁別器、マトリクス回路等を備えて構成される。

【 0 0 2 8 】

そして、その A/D 変換器でアナログデジタル変換されたデジタルの信号に対して所定のデジタル信号処理を施すことによって生じる検波信号等のデジタル信号 S_1 を $\Delta \Sigma$ 変調器 9 に供給する。

【 0 0 2 9 】

第 1 のポストフィルタ 1 0 は、1 次のアナログローパスフィルタであり、例えば抵抗とコンデンサを組み合わせた簡易な回路で構成されている。

【 0 0 3 0 】

また、第 2 のポストフィルタ 1 1 も同様に、1 次のアナログローパスフィルタであり、抵抗とコンデンサを組み合わせた簡易な回路で構成されている。

【 0 0 3 1 】

つまり、図 2 (b) に例示するように、第 1 のポストフィルタ 1 0 は、高域のカットオフ周波数 f_{cb} より高い周波数域において約 -6 dB/oct で減衰量が大きくなっていく減衰特性 G_b を有する 1 次のアナログローパスフィルタで形成されている。

【 0 0 3 2 】

第 2 のポストフィルタ 1 1 も同様に、高域のカットオフ周波数 f_{ca} より高い周波数域において約 -6 dB/oct で減衰量が大きくなっていく減衰特性 G_a を有する 1 次のアナログローパスフィルタで形成されている。

【 0 0 3 3 】

更に、図 2 (b) に示されているように、上述のカットオフ周波数 f_{ca} と f_{cb} は、 $f_{ca} < f_{cb}$ の関係を満足するように設定され、その結果、第 1 のポストフィルタ 1 0 の減衰量がほぼ最大になるときの最大周波数 f_{Hb} と第 2 のポストフィルタ 1 1 の減衰量がほぼ最大になるときの最大周波数 f_{Ha} も、 $f_{Ha} < f_{Hb}$ の関係になっている。

【 0 0 3 4 】

更に、第 1 のポストフィルタ 1 0 のカットオフ周波数 f_{cb} は、第 2 のポストフィルタ 1 1 のカットオフ周波数 f_{ca} と最大周波数 f_{Ha} との間の周波数範囲内に設定されている。

【 0 0 3 5 】

次に、かかる構成を有する D/A 変換器 8 の動作を説明する。

【 0 0 3 6 】

D/A 変換すべきデジタル信号 S_1 が $\Delta\Sigma$ 変調器 9 に供給されると、デルタシグマ変調された符号列 S_2 が $\Delta\Sigma$ 変調器 9 より第 1 のポストフィルタ 10 へ出力される。

【 0 0 3 7 】

第 1 のポストフィルタ 10 では、減衰特性 G_b に基づいて符号列 S_2 を減衰させ、それによってカットオフ周波数 f_{cb} より高い不要な高周波雑音等を -6 dB/oct の減衰率で減衰させる。

【 0 0 3 8 】

次に、第 2 のポストフィルタ 11 が、第 1 のポストフィルタ 10 より出力される信号 S_3 を減衰特性 G_a に基づいて更に減衰させ、それによって、カットオフ周波数 f_{ca} より高い周波数成分を -6 dB/oct の減衰率で減衰させ、その減衰させた信号をアナログ信号 S_{out} として出力する。

【 0 0 3 9 】

ここで、カットオフ周波数 f_{ca} と f_{cb} は異なっており、更にカットオフ周波数 f_{cb} がカットオフ周波数 f_{ca} と最大周波数 f_{Ha} との間の周波数範囲内に設定されているため、減衰特性 G_a と G_b の一部が同じ周波数域を有している。したがって、減衰特性 G_a と G_b との合成された減衰特性 G_{ab} は、図 2 (b) に例示するように、第 1, 第 2 のポストフィルタ 10, 11 の合成された減衰特性 G_{ab} は、カットオフ周波数 f_{ca} 以下の周波数では減衰量が約 0 dB 、カットオフ周波数 f_{ca} , f_{cb} 間の周波数範囲では約 -6 dB/oct の減衰率、カットオフ周波数 f_{cb} を超える周波数域では約 -12 dB/oct の減衰率となる。

【 0 0 4 0 】

したがって、符号列 S_2 が第 1, 第 2 のポストフィルタ 10, 11 を通過する間に、カットオフ周波数 f_{cb} より高い不要な高周波雑音等を約 -12 dB/oct の急峻な減衰率（すなわち、2 次のフィルタ特性）によって除去し、更にカットオフ周波数 f_{ca} , f_{cb} 間の周波数範囲では約 -6 dB/oct の減衰率（すなわち、1 次の

フィルタ特性) によってディエンファシスを行う。

【 0 0 4 1 】

このため、予めプリエンファシスの施された符号列 S_2 が入力されると、不要な高周波雑音等の除去とディエンファシスとを一括して行い、高品位のアナログ信号 S_{out} を出力する。

【 0 0 4 2 】

このように、本実施形態の D/A 変換器 8 によれば、第 1, 第 2 のポストフィルタ 10, 11 が 1 次のローパスフィルタであるため、例えば抵抗とコンデンサとを組み合わせた簡易な回路で実現することが可能であることから、回路規模の大幅低減が可能である。

【 0 0 4 3 】

更に、上述したように、第 1, 第 2 のポストフィルタ 10, 11 の各カットオフ周波数 f_{ca} と f_{cb} の周波数位置が異なっているため、不要な高周波雑音等に対しては急峻な 2 次のフィルタ特性によって適切に除去することができ、ディエンファシスについては、1 次のフィルタ特性によって適切なディエンファシスを行うことができるという優れた効果を発揮する。

【 0 0 4 4 】

また、第 1, 第 2 のポストフィルタ 10, 11 は、低次のローパスフィルタであることから、高次のポストフィルタによって減衰特性 G_{ab} と同等の減衰特性を実現する場合に較べて、フィルタ全体の動作の安定化を図ることができる等の効果が得られる。

【 0 0 4 5 】

また、従来技術として説明した従来の D/A 変換器 (図 1 参照) では、 $\Delta\Sigma$ 変調器 6 の後段側に設けられているポストフィルタ (高次のローパスフィルタ) 7 は、高域の不要雑音成分等を除去するために設けられており、ディエンファシスのためのフィルタではない。そのため、ディエンファシスを行うために $\Delta\Sigma$ 変調器 6 の前段側にディエンファシス回路 (1 次のデジタルローパスフィルタ) 3 を設ける必要があった。

【 0 0 4 6 】

これに対し、本実施形態のD/A変換器(図2参照)は、不要な高周波雑音等の除去とデエンファシスとを、 $\Delta\Sigma$ 変調器9の後段側に接続した第1, 第2のポストフィルタ10, 11で行い、1次の減衰特性 G_b , G_a を巧みに合成することで、不要な高周波雑音等の除去に必要な急峻な減衰特性と、デエンファシスに必要な所定の減衰特性とを有する減衰特性 G_{ab} を得るようにしている。

【0047】

したがって、本実施形態のD/A変換器8は、従来とは異なった構成によって高周波雑音等の除去とデエンファシスを行い、更に高周波雑音等の除去機能とデエンファシスの機能とを併せ持ったポストフィルタを合理的に実現するための新規な技術手段を提供するものとなっている。

【0048】

なお、以上に述べた実施形態では、2個のポストフィルタ10, 11によって、所望の減衰特性 G_{ab} を得ることとしているが、これら2個のポストフィルタに限定されるものではない。

【0049】

第1, 第2のポストフィルタ10, 11に対し、更に1又は複数個の低次のフィルタを従属接続等してもよい。

【0050】

そして、第1, 第2のポストフィルタ10, 11と従属接続した低次のフィルタとの夫々の抵抗とコンデンサの値を適宜調節して互いのカットオフ周波数を決め、夫々のカットオフ周波数と夫々の減衰特性が各フィルタ間で重なり合うように設定してもよい。

【0051】

かかる構成によると、アナログ信号 S_{out} の周波数特性を様々に調整することができ、デエンファシスのみならず、例えばイコライザ等の機能やその他周波数特性を様々に調整するための機能を付加することが可能である。

【0052】

また、低次のフィルタを従属接続しても回路規模の低減が可能であり、また、フィルタ全体の動作の安定化を図ることも可能である。

【 0 0 5 3 】

【実施例】

次に、図 3 及び図 4 を参照して、より具体的な実施例を説明する。

【 0 0 5 4 】

なお、本実施例は、ハイブリッド化した FM ラジオ受信機に関するものである。また、図 3 及び図 4 において、図 2 に相当する部分を同一符号で示している。

【 0 0 5 5 】

図 3 (a) は、本実施例のラジオ受信機用に開発された半導体集積回路装置 1 4 の構成を示すブロック図である。

【 0 0 5 6 】

この半導体集積回路装置 1 4 は、アンテナで受信された受信信号 S_{in} を入力する入力端子 I_n 、入力端子 I_n に接続された信号入力部 1 2、 $\Delta \Sigma$ 変調器 9、 $\Delta \Sigma$ 変調器 9 と出力端子 OUT との間に接続された抵抗 R_1 を備えて形成されている。

【 0 0 5 7 】

信号入力部 1 2 は、受信信号 S_{in} から検波信号等を生成する FM 受信部となっている。

【 0 0 5 8 】

つまり、信号入力部 1 2 は、放送局等からの到来電波を受信して FM 検波信号 (FM 復調信号とも呼ばれている) 等を生成すべく、RF アンプ及び周波数変換器等のアナログ回路と、周波数変換器で生成される中間周波信号 (IF 信号) をアナログデジタル変換する A / D 変換器と、A / D 変換器から出力されるデジタルの信号に所定のデジタル信号処理を施すことで周波数弁別を行う周波数弁別器やマトリクス回路等を備えて構成されている。

【 0 0 5 9 】

そして、上述の周波数弁別器やマトリクス回路等で生成される FM 検波信号等が、D / A 変換すべきデジタル信号 S_1 として、 $\Delta \Sigma$ 変調器 9 に供給される。

【 0 0 6 0 】

抵抗 R_1 は、半導体製造プロセスによって本半導体集積回路装置 1 4 に予め形

成されている、いわゆる半導体素子としての内部抵抗であり、 $\Delta\Sigma$ 変調器 9 より出力される符号列 S_2 を出力端子 OUT へ送出する。

【 0 0 6 1 】

このように、上述した FM 検波信号等を生成するための RF アンプ乃至マトリクス回路等の構成要素を備えた信号入力部 1 2 と $\Delta\Sigma$ 変調器 4 及び抵抗 R_1 が半導体集積回路装置 1 4 として形成されている。

【 0 0 6 2 】

そして、かかる構成を有する半導体集積回路装置 1 4 に所定の電子素子を外部接続等することで、図 3 (b) に示す本実施例のラジオ受信機が形成されている。

【 0 0 6 3 】

すなわち、図 3 (b) において、半導体集積回路装置 1 4 の出力端子 OUT と本ラジオ受信機のグランド端子 GND 間に第 1 のコンデンサ C_1 が接続され、更に、出力端子 OUT とグランド端子 GND 間に、外部抵抗 R_2 と第 2 のコンデンサ C_2 とが直列接続されている。

【 0 0 6 4 】

更に、外部抵抗 R_2 と第 2 のコンデンサ C_2 との接続点にトランジスタ (PNP トランジスタ) Tr のベースが接続されると共に、トランジスタ Tr のエミッタが抵抗 $RL2$, $RL1$ を介して電源端子 Vcc に接続され、更にそのコレクタが上述のグランド端子 GND に接続されている。

【 0 0 6 5 】

次に、かかる構成を有する本ラジオ受信機の動作を説明する。

【 0 0 6 6 】

放送局からの到来電波をアンテナで受信し、その受信信号 S_{in} が信号入力部 (FM 受信部) 1 2 に供給されると、D/A 変換すべきデジタル信号 S_1 が、信号入力部 1 2 から $\Delta\Sigma$ 変調器 9 へ供給される。

【 0 0 6 7 】

$\Delta\Sigma$ 変調器 9 では、デジタル信号 S_1 に対してデルタシグマ変調 (シグマデルタ変調とも呼ばれている) を施すことにより、符号列 S_2 を生成して出力する。

【 0 0 6 8 】

ここで、半導体集積回路装置 1 4 内に予め形成されている抵抗 R_1 と、外付けされた第 1 のコンデンサ C_1 とによって、第 1 のポストフィルタが構成され、更に外付け抵抗 R_2 と第 2 のコンデンサ C_2 とによって第 2 のポストフィルタが構成されている。

【 0 0 6 9 】

より詳細には、図 4 (a) の特性図にて示すように、上述の第 1 のポストフィルタは、抵抗 R_1 と第 1 のコンデンサ C_1 とによって、カットオフ周波数 f_{cb} が約 2 0 ～約 3 0 k H z の範囲内の周波数に設定され、そのカットオフ周波数 f_{cb} より高い周波数域では約 -6 dB/oct で減衰量が増加する減衰特性 G_b を有する 1 次のアナログローパスフィルタとして形成されている。

【 0 0 7 0 】

また、上述の第 2 のポストフィルタは、外部抵抗 R_2 と第 2 のコンデンサ C_2 とによって、カットオフ周波数 f_{ca} が約 2 ～約 3 k H z の範囲内の周波数に設定され、そのカットオフ周波数 f_{ca} より高い周波数域では約 -6 dB/oct で減衰量が増加する減衰特性 G_a を有する 1 次のアナログローパスフィルタとして形成されている。

【 0 0 7 1 】

したがって、減衰特性 G_b に従って減衰された信号 S_3 が出力端子 O U T に現れ、更に減衰特性 G_a に従って減衰された信号 S_{out} が、外部抵抗 R_2 と第 2 のコンデンサ C_2 との接続点に現れる。

【 0 0 7 2 】

更に、図 4 (b) に示すように、抵抗 R_1 , R_2 とコンデンサ C_1 , C_2 とによって、減衰特性 G_{ab} を有する 2 次のローパスフィルタが実現されているため、カットオフ周波数 f_{cb} より高い不要な高周波雑音等が除去され、更にディエンファシスの施されたアナログ信号 S_{out} が外部抵抗 R_2 と第 2 のコンデンサ C_2 との接続点に現れる。

【 0 0 7 3 】

そして、トランジスタ T_r がアナログ信号 S_{out} を増幅し、抵抗 $RL1$, $RL2$ によ

ってレベル調整を施したアナログ信号 S_{au} を出力する。そして、アナログ信号 S_{au} に基づいてスピーカ等を駆動することで音を再生する。

【 0 0 7 4 】

このように、本実施例のラジオ受信機は、予め抵抗 R_1 が形成されている半導体集積回路装置 1 4 に、外部抵抗 R_2 とコンデンサ C_1 , C_2 を接続するだけの簡易な回路構成で、不要な高周波雑音等の除去とディエンファシスとを行うための 2 次のアナログローパスフィルタを実現しているので、回路規模の大幅な低減が可能となっている。

【 0 0 7 5 】

また、半導体集積回路装置 1 4 に予め抵抗 R_1 が内蔵されているので、 $\Delta\Sigma$ 変調器 9 がデルタシグマ変調によって符号列 S_2 を生成する際に生じるパルス状の高調波ノイズを抵抗 R_1 で吸収させ、高調波ノイズの放射電力を大幅に抑制することができる。このため、本ラジオ受信機内に設けられている内部回路への高調波ノイズによる悪影響や、周囲の他の電子機器への悪影響を大幅に抑制することができる。

【 0 0 7 6 】

また、 $\Delta\Sigma$ 変調器 9 の出力に第 1 のポストフィルタと第 2 のポストフィルタを順番に従属接続する構成であるため、半導体集積回路装置 1 4 内の抵抗 R_1 を必ずしも高精度の抵抗で形成しなくともよく、半導体集積回路装置 1 4 の製造歩留まりを向上させることができる等の効果が得られる。

【 0 0 7 7 】

つまり、例えばピンチ抵抗 (pinch resister) その他の必ずしも高精度の得られない抵抗で抵抗 R_1 を形成した場合であっても、主に高周波雑音等を除去するために設けられる第 1 のポストフィルタは、カットオフ周波数 f_{cb} を高い精度に設定しなければならないというものではないため、抵抗 R_1 と第 1 のコンデンサ C_1 によって十分な雑音除去機能を得ることができる。これに対し、第 2 のポストフィルタは、適切なディエンファシスを行うためにカットオフ周波数 f_{ca} を高い精度で設定する必要がある。しかし、外部接続される抵抗 R_2 と第 2 のコンデンサ C_2 によってカットオフ周波数 f_{ca} を高い精度で設定することができ、抵抗

R_1 の影響を受けることがない。

【 0 0 7 8 】

このように、第 1 のポストフィルタを抵抗 R_1 を用いて構成し、第 2 のポストフィルタを第 1 のポストフィルタに従属接続させるという構成にしたことで、高精度の抵抗 R_1 を形成しなくともよくなり、半導体集積回路装置 1 4 の製造歩留まりを向上させることができる他、設計の自由度を上げられる等の効果が得られる。

【 0 0 7 9 】

なお、抵抗 R_1 をイオン注入法その他の高精度の得られる製造プロセスで形成する場合には、第 1 のポストフィルタをディエンファシス用、第 2 のポストフィルタを雑音除去用とすべく、コンデンサ C_1 、 C_2 及び抵抗 R_2 の値を設定してもよい。

【 0 0 8 0 】

つまり、抵抗 R_1 と第 1 のコンデンサ C_1 によってディエンファシスの機能を発揮するフィルタを構成し、それに続く外部抵抗 R_2 と第 2 のコンデンサ C_2 によって高周波雑音等の除去機能を発揮するフィルタを構成するようにしてもよい。

【 0 0 8 1 】

また、図 3 (b) に示したように、第 2 のポストフィルタの出力に、トランジスタ Tr と抵抗 $RL1$ 、 $RL2$ で形成されたインピーダンス変換回路が接続されているので、トランジスタ Tr のエミッタに接続されている抵抗 $RL1$ 、 $RL2$ の接続点にたとえばオンコントロール回路等の後段回路を接続した場合、電力損失等を生じることなく、アナログ信号 S_{au} を後段回路に供給することができる。

【 0 0 8 2 】

つまり、仮に上述のインピーダンス変換回路を設けることなく、第 2 のポストフィルタを構成している抵抗 R_2 とコンデンサ C_2 の接続点に後段回路を接続すると、第 2 のポストフィルタの出力インピーダンスが高いことからアナログ信号 S_{out} を効率よく後段回路に供給することができないのに対し、上述のインピーダンス変換回路の出力インピーダンスは極めて低いことから、信号 S_{out} に相当

するアナログ信号 S_{su} を効率よく後段回路に供給することができる。

【0083】

また、D/A変換すべきデジタル信号 S_1 がいわゆる小信号の場合でも、高 S/N 且つ歪みの少ないアナログ信号 S_{au} を生成することができる。

【0084】

つまり、図1に示した従来のラジオ受信機では、 $\Delta\Sigma$ 変調器6の前段側にレベル調整用のデジタルアッテネータ4を設けることで、D/A変換後のアナログ信号 S_{out} のレベル調整を行っていたが、かかる従来の構成によると、 $\Delta\Sigma$ 変調器6における1LSBの分解能に対して、十分に大きくないデジタル信号（すなわち、小信号のデジタル信号）をD/A変換することとなった場合、アナログ信号 S_{out} に歪みが生じたり、 SN が悪化する等の問題を招来していた。

【0085】

これに対し本実施例では、図3に示したように、D/A変換すべきデジタル信号 S_1 がいわゆる小信号であっても、そのデジタル信号 S_1 の有効ビット数を落とすことなく $\Delta\Sigma$ 変調器9でデルタシグマ変調を行わせ、更に第1、第2のポストフィルタによってアナログ信号 S_{out} を生じさせた後、トランジスタ Tr で増幅してそのエミッタに接続されている抵抗 $RL1$ 、 $RL2$ で分圧することで、レベル調整を施したアナログ信号 S_{au} を出力する。

【0086】

すなわち、D/A変換すべきデジタル信号 S_1 の有効ビット数を落とすことなくD/A変換を行い、生成されるアナログ信号 S_{out} について抵抗 $RL1$ 、 $RL2$ によるレベル調整が行われるので、歪みが無く S/N の良いアナログ信号 S_{au} を生じさせることができる。

【0087】

以上、本実施形態並びに実施例のD/A変換器によれば、デルタシグマ変調後の符号列をローパスフィルタリングするためのポストフィルタ10、11を1次のローパスフィルタで構成するので、回路規模の大幅低減が可能である。特に、1次のローパスフィルタは、抵抗 R_1 、 R_2 とコンデンサ C_1 、 C_2 とを組み合わせた簡易な回路で構成することができるため、回路規模の大幅低減が可能であ

る。

【 0 0 8 8 】

また、第 1，第 2 のポストフィルタ 1 0，1 1 の各カットオフ周波数 f_{ca} と f_{cb} の周波数位置を異ならせ、減衰特性 G_b ， G_a の一部が同じ周波数域を有する（すなわち、減衰特性 G_b ， G_a の一部が同じ周波数域において重なり合う）ようにしたので、1 次のフィルタ特性と 2 次のフィルタ特性とを併せ持つ所定の 2 次のフィルタ特性を発揮する減衰特性 G_{ab} を得ることができる。このため、1 次のフィルタ特性による減衰特性でディエンファシス、2 次のフィルタ特性による急峻な減衰特性で高域をカットして不要な高周波雑音等を除去するという少なくとも 2 つの処理を一括して行うことができる、回路規模が小さく且つ高機能の D/A 変換器を提供することが可能である。

【 0 0 8 9 】

このように簡素な構成であっても、高い機能を備えた新規な構成の D/A 変換器を提供することができるよう優れた効果を発揮するものである。

【図面の簡単な説明】

【図 1】

従来のラジオ受信機用として提案されている D/A 変換器を内蔵した半導体集積回路装置の構成並びに特性を示す図である。

【図 2】

本発明の実施の形態に係る D/A 変換器の構成及び機能を示す図である。

【図 3】

本実施例の D/A 変換器とラジオ受信機並びにラジオ受信機用の半導体集積回路装置の構成を示す図である。

【図 4】

図 3 に示された D/A 変換器の特性を示す図である。

【符号の説明】

8 … D/A 変換器

9 … $\Delta\Sigma$ 変調器

1 0 … 第 1 のポストフィルタ

1 1 …第 2 のポストフィルタ

1 2 …信号入力部

1 3 …ラジオ受信機

1 4 …半導体集積回路装置

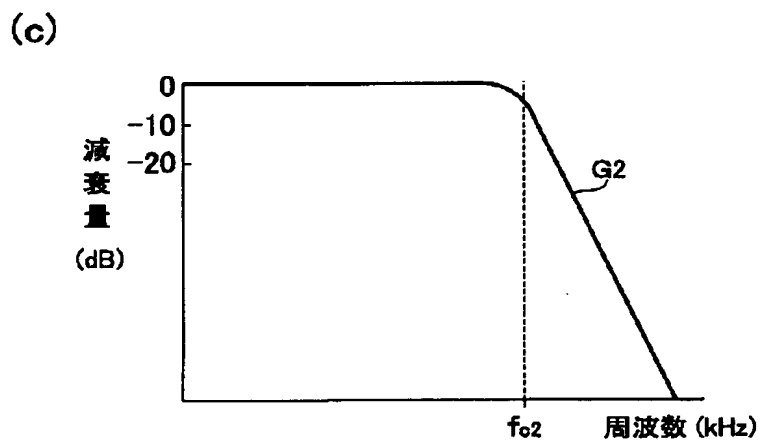
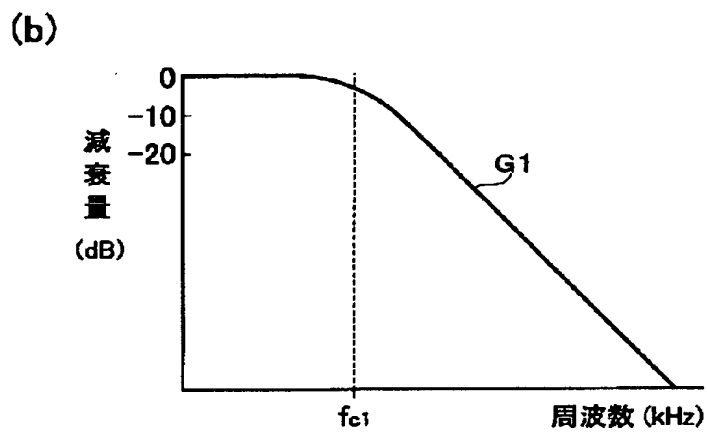
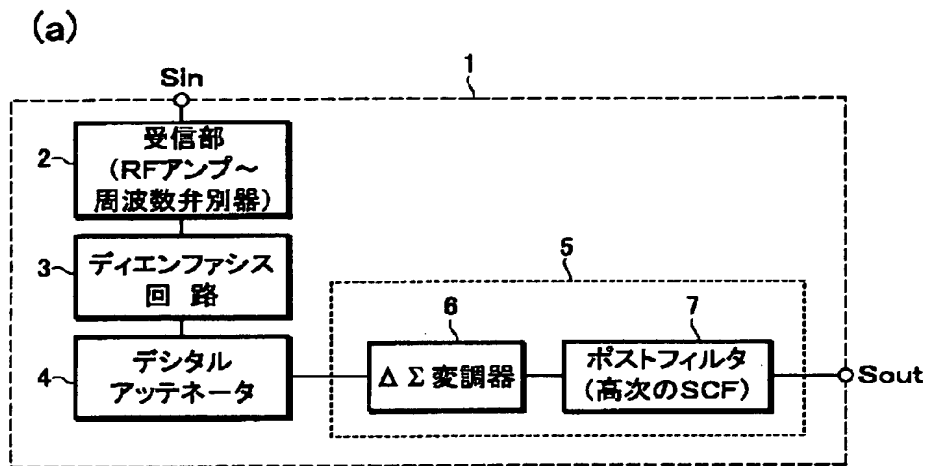
R_1 , R_2 , $RL1$, $RL2$ …抵抗

C_1 , C_2 …コンデンサ

Tr…トランジスタ

【書類名】 図面

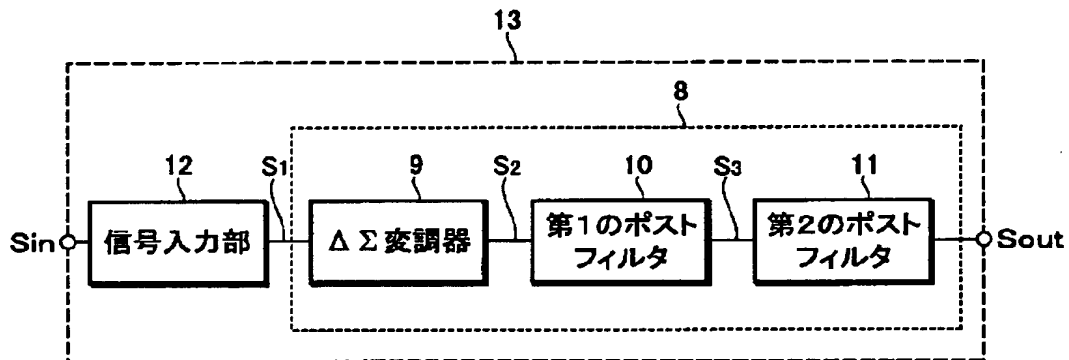
【図 1】



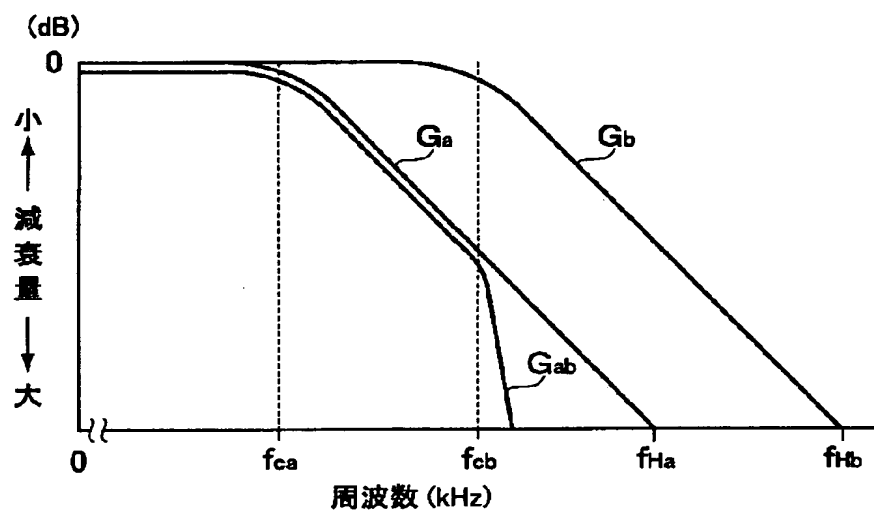
【従来技術】

【図 2】

(a)

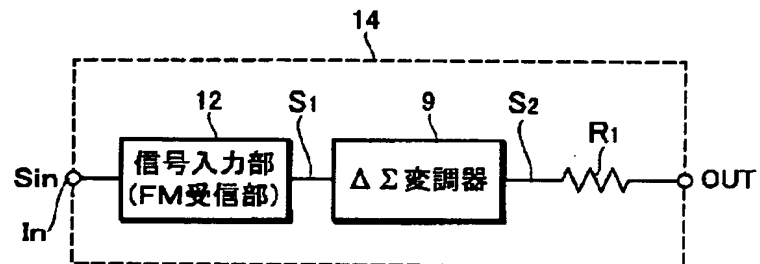


(b)

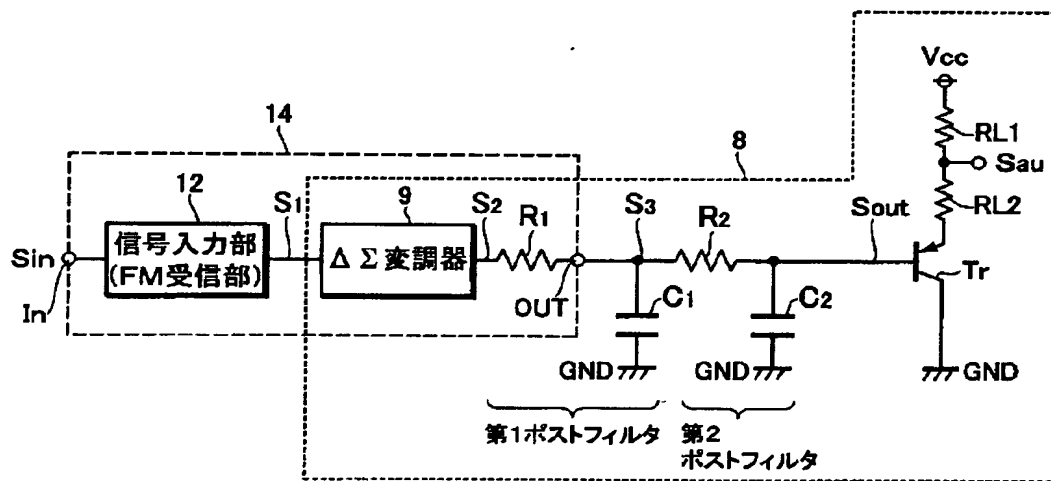


【図 3】

(a)

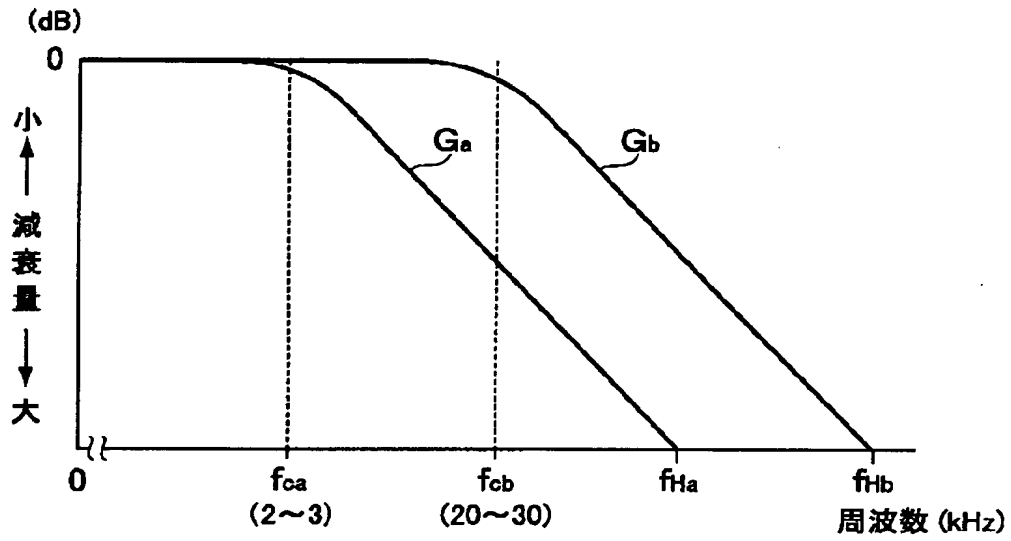


(b)

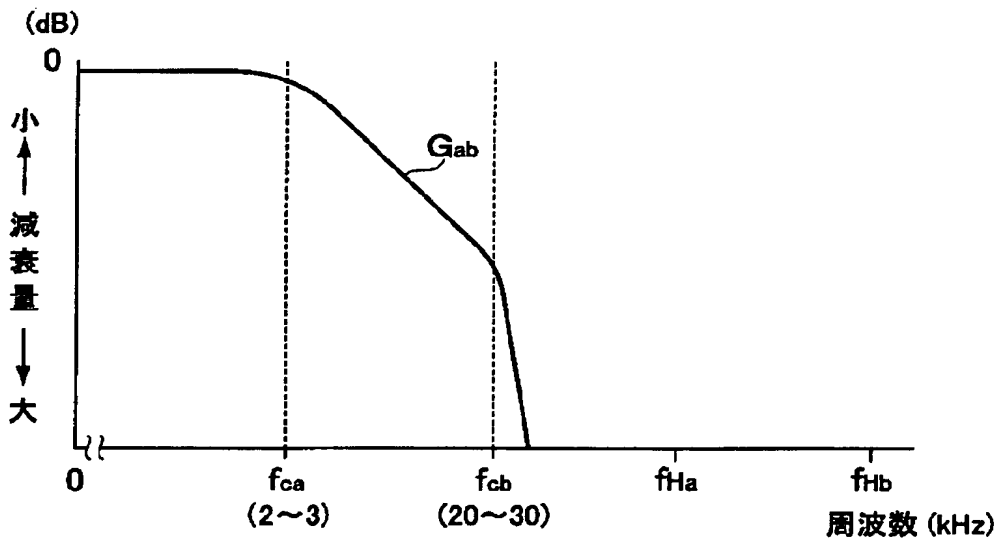


【図 4】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 回路規模の小さなD/A変換器を提供する。

【解決手段】 D/A変換すべきデジタル信号 S_1 をデルタシグマ変調して符号列 S_2 を出力する $\Delta\Sigma$ 変調器9の後段側に、共に1次のアナログローパスフィルタで構成された第1、第2のポストフィルタ10、11を従属接続し、符号列 S_2 をローパスフィルタリングすることで、アナログ信号 S_{out} を生成する。ポストフィルタ10のカットオフ周波数 f_{cb} を、ポストフィルタ11のカットオフ周波数 f_{ca} と最大周波数 f_{Ha} の間の周波数範囲内に設定することで、ポストフィルタ10、11の減衰特性 G_b 、 G_a との合成された減衰特性 G_{ab} が所定の2次のフィルタ特性となるようにする。この減衰特性 G_{ab} により、カットオフ周波数 f_{ca} 、 f_{cb} の周波数範囲においてディエンファシス、カットオフ周波数 f_{cb} より高周波数域において不要な高周波雑音等を除去し、複数の処理機能を併せ持つポストフィルタを小さな回路規模で実現する。

【選択図】 図2



出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 1 6]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日
[変更理由] 新規登録
住 所 東京都目黒区目黒1丁目4番1号
氏 名 パイオニア株式会社